

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-15981

⑪ Int. Cl.⁴H 01 L 29/78
27/08
27/12

識別記号

3 1 1
3 3 1

庁内整理番号

C-7925-5F
E-7735-5F
7514-5F

⑬ 公開 昭和64年(1989)1月19日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 昭62-172690

⑯ 出 願 昭62(1987)7月9日

⑰ 発 明 者 森 孝 二

東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑱ 発 明 者 渡 辺 博 文

東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 発 明 者 阿 部 修 也

宮城県柴田郡柴田町大字中名生字神明堂3-1 リコー応
用電子研究所株式会社内

⑳ 出 願 人 株 式 会 社 リ コ ー

東京都大田区中馬込1丁目3番6号

㉑ 出 願 人 リコー応用電子研究所
株式会社

宮城県柴田郡柴田町大字中名生字神明堂3-1

㉒ 代 理 人 弁理士 佐田 守雄

外1名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 基体上に形成した薄膜トランジスタにおいて、少なくとも2個以上のトランジスタが同一のpoly-Si層上に形成されていることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(技術分野)

本発明は各種センサーの駆動回路等に用いられる高集積化可能な薄膜トランジスタに関する。

(従来技術)

従来の薄膜トランジスタ(以下、TFTという)は石英等の絶縁基板上にp-c hトランジスタあるいはn-c hトランジスタが個別に形成されるものであった。従って、従来のTFTによりCMOSを形成するには、同一基板上に個別に形成され一組のp-c hトランジスタとn-c hトランジスタとをメタルあるいはpoly

-Si電極により結線することにより行われていた。このような従来のTFTでは近時における高集積化に伴うデバイスサイズの縮小化への要請に対し、各チャンネルのトランジスタを小型化することはチャンネル部の拡散精度の誤差が大きくなり、歩留りの低下は避けられないものであった。また、本来p-c h、n-c hトランジスタを別々に形成することは高集積化に対して限界を生じさせる結果となってしまう都合が悪い等の問題点を有するものである。

(目 的)

本発明は上記の如き従来の問題点を解消し、高集積化が可能であり、デバイスの小型化とそれに伴う低コストなTFTを提供することを目的とするものである。

(構 成)

本発明のTFTの特徴とするところは、少なくとも2個以上のトランジスタが同一のpoly-Si層上に形成されていることにある。

以下に本発明を添付図面を参照して説明する。

特開昭64-15981(2)

第1図は本発明に係るCMOSトランジスタを示すものであり、(a)は断面図、(b)は平面図である。この第1図において、石英基板1上には活性層となるべきpoly-Si層2が設けられている。このpoly-Si層2上にはトランジスタが形成されている。すなわち、poly-Si層上にはゲートSiO₂膜3が、そしてさらにその上にはゲート電極4が2組設けられ、これらは層間絶縁膜5で覆われ、その一部に穿かれたコンタクトホールを含む層間絶縁膜5上には共通の金属電極配線6が形成されている。

これに対し、従来のCMOSトランジスタは第2図に示すように、石英基板1上に各トランジスタごとにpoly-Si層2を設け、これら分割されたpoly-Si層2上にトランジスタが形成されている。従って、従来のCMOSトランジスタでは第2図(b)に示した平面図からわかるように、基板1上に離間して設けられたp-c hトランジスタおよびn-c hトランジスタ間に出力電圧取り出し用電極部7(A₁あるいは

A₂-Si, A₁-Si-Cu等の金属)が存在するためデバイスサイズの縮小化には自ずと限度を有することが理解されよう。これに反し、本発明によったCMOSトランジスタでは第1図(b)からもわかるように出力電圧取り出し用電極部7は同一poly-Si層2上に近接して設けられた2つのトランジスタ間にあるため、従来のものに比べて1/2~1/5程小型化が可能となり、高集積化とそれに伴う低コスト化が実現できる。

なお、本発明のCMOSトランジスタの構成においては、p-c hトランジスタ側のソース・ドレイン用P⁺領域とn-c hトランジスタ側のN⁺領域が接する関係で、そこにP-Nダイオードが形成されてしまい、このままでは駆動上問題が生ずるが、P-N間をまたぐ形で出力電圧取り出し用電極を形成すれば、P-Nダイオードの影響を無視することができ、実駆動上従来のものと同じになり、問題はなくなる。

上記の説明ではCMOSトランジスタについ

て説明したが、CMOSに限らず、同一poly-Si層上に2つ以上のトランジスタあるいはダイオード等のactiveあるいはpassiveデバイスを形成するときにも応用可能なことはもちろんである。

また、出力電圧取り出し用電極7としては、A₁、Mo、Ta等の金属以外にもpoly-Si等の半導体で低抵抗のものなら問題ないことはいうまでもない。

次に、本発明に係るTFETを製造する場合の一例をそのフローを示す第3図および従来のTFETを製造する場合のフロー例を示す第4図と比較しつつ説明する。

第3図と第4図とを比べた場合、その差異は、まず第1工程において、本発明では石英基板1上に2つのトランジスタを形成するに足る大きさのpoly-Si層2を形成し、このpoly-Si層2上にゲートSiO₂膜3およびゲート電極4を形成し、poly-Si層上に2組のゲートSiO₂膜およびゲート電極4を形成する(第2工程)のに対し、

従来例では第1工程でpoly-Si層2はその上に1組のゲート電極4が形成されるように、このpoly-Si層2をCMOSの場合は石英基板1上に2個形成するものである。その後の工程はかくして形成されたゲート電極部をその上に有するpoly-Si層を用いて、常法に従い不純物拡散によりソース・ドレイン部を形成し、層間絶縁膜5および金属電極配線6を形成する。なお、上記のフローにおいて、不純物拡散の際には高温(~1000℃)で拡散する關係上、p-c hおよびn-c h部の高温アニールを同時にすることが望ましい。

[効果]

以上のような本発明によれば、少なくとも2個以上のトランジスタが同一のpoly-Si層上に形成されているため、高集積度が高く、従って小型化された低コストTFETが得られるという効果を有する。

4. 図面の簡単な説明

第1図は本発明に係るCMOSトランジスタ

特開昭64-15981(3)

を示す説明図である。

第2図は従来のCMOSトランジスタを示す説明図である。

第3図は本発明TFTを製造する場合のプロ一図である。

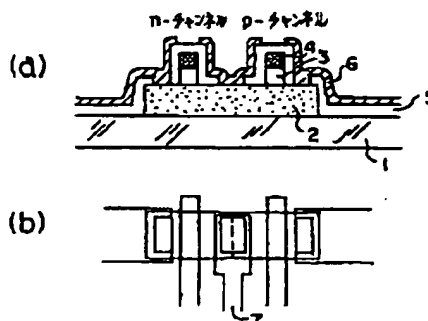
第4図は従来のTFTを製造する場合のプロ一図である。

- 1…石英基板 2…poly-Si層
 3…ゲートSiO₂膜 4…ゲート電極
 5…層間絶縁膜 6…金属電極配線
 7…出力電圧取り出し用電極部

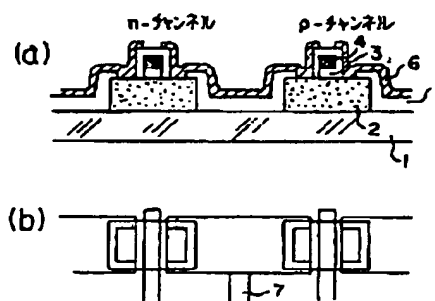
特許出願人 株式会社リコー
 外1名
 代理人 弁理士 佐田 守雄
 外1名



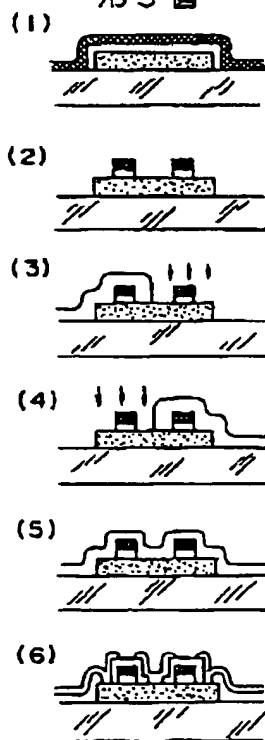
第1図



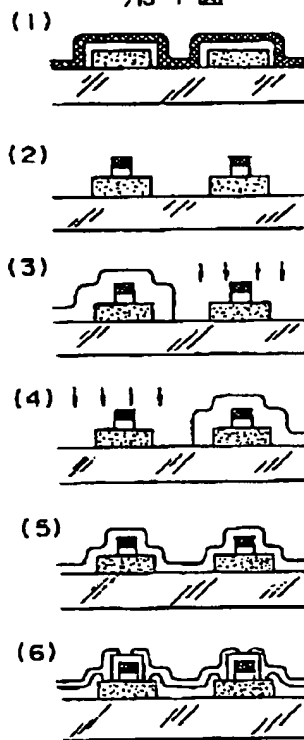
第2図



第3図



第4図



* DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

007799447 **Image available**

WPI Acc No: 1989-064559/198909

Improved integration CMOS device - has insulator covered P and N channel
transistors formed on single polysilicon mesa NoAbstract Dwg 1,2/4

Patent Assignee: RICOH KK (RICO); RICOH OYO DENSMI KENKYUS (RICO-N)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1015981	A	19890119	JP 87172690	A	19870709	198909 B

Priority Applications (No Type Date): JP 87172690 A 19870709

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1015981	A	27		

Title Terms: IMPROVE; INTEGRATE; CMOS; DEVICE; INSULATE; COVER; P; N;
CHANNEL; TRANSISTOR; FORMING; SINGLE; POLY; SILICON; MESA; NOABSTRACT

Derwent Class: U12; U13; U14

International Patent Class (Additional): H01L-027/08; H01L-029/78

File Segment: EPI

DIALC(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02718381 **Image available**

THIN FILM TRANSISTOR

PUB. NO.: 01-015981 [JP 1015981 A]

PUBLISHED: January 19, 1989 (19890119)

INVENTOR(s): MORI KOJI

WATANABE HIROBUMI

ABE SHUYA

APPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

RICOH RES INST OF GEN ELECTRON [488199] (A Japanese Company
or Corporation), JP (Japan)

APPL. NO.: 62-172690 [JP 87172690]

FILED: July 09, 1987 (19870709)

INTL CLASS: [4] H01L-029/78; H01L-027/08; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 754, Vol. 13, No. 195, Pg. 63, May
10, 1989 (19890510)

ABSTRACT

PURPOSE: To obtain a thin film transistor (TFT) wherein the high density integration is possible and the cost is low by the effect of small-sized device, by forming at least two or more transistors on the same poly-Si layer.

CONSTITUTION: On a quartz substrate 1, is arranged a poly-Si layer 2 turning to an active layer. Thereon, a transistor is formed. That is, on the poly-Si layer, a gate SiO(sub 2) film 3 is formed, and thereon two gate electrodes 4 are arranged, which are covered with an interlayer insulating film 5. Contact holes are made in a part of the interlayer insulating film 5, on which a common metal wiring 6 is formed. This constitution is applicable not only to a CMOS but also to the case where two or more active devices such as transistor and diode, and passive devices are formed on the same poly-Si layer.